

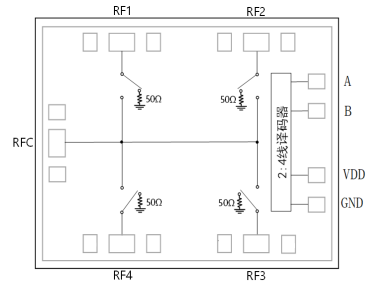
### 性能特点

- 工作频段：0.1GHz~6GHz
- 低插损：0.8dB~1.4dB 典型值
- 高隔离度：65dB@0.1GHz~2GHz  
55dB@2GHz~4GHz  
42dB@4GHz~6GHz
- 芯片尺寸：1.426mmx1.128mm\*0.1mm

### 典型应用

- 基站通信
- 无线基础设施
- 汽车电子
- 仪器仪表

### 功能框图



### 概述

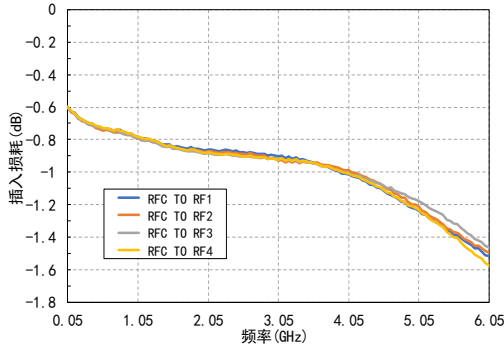
SIS085是一款高隔离、低插损、高线性的单刀四掷开关。

电性能表 (TA=+25°C, VDD=3.3V)

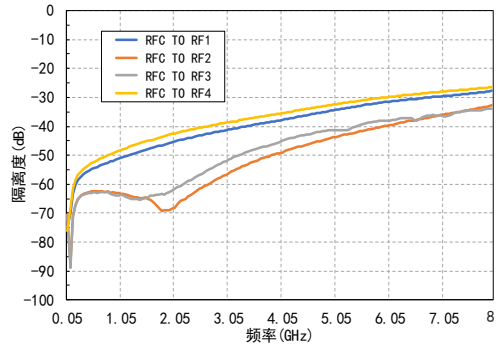
参数名称	测试条件	最小值	典型值	最大值	单位
RF频率范围		0.1~6			GHz
插损	0.1GHz~2GHz		0.8	1.2	dB
	2GHz~4GHz		1.1	1.4	dB
	4GHz~6GHz		1.4	1.9	dB
隔离	0.1GHz~2GHz		50		dB
	2GHz~4GHz		40		dB
	4GHz~6GHz	28	33		dB
回波损耗	开态		20		dB
	关态		20		dB
偏置电压 (VDD)			3		V
偏置电流 (IDD)				1	mA
输入0.1dB压缩点功率 (P0.1dB)	开态		26		dBm
输入1dB压缩点功率 (P1dB)	开态		27.5		dBm
输入三阶交调截取点 (IP3)			TBD		dBm
上升下降时间	10% to 90% RF output		140		ns
开关时间	50% Vct1 to 10%/90% RF output		200		ns
推荐输入功率	通径			26	dBm
	终径			26	dBm

测试曲线

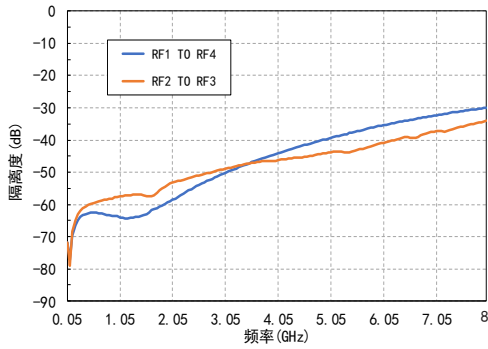
插入损耗VS频率



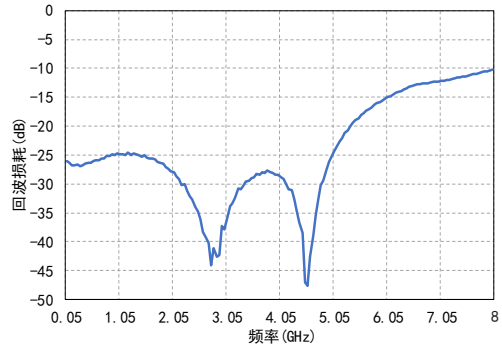
隔离度VS频率



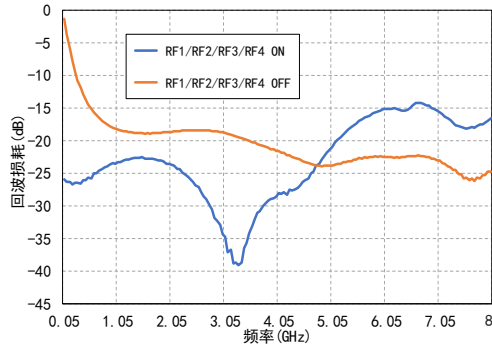
隔离度VS频率



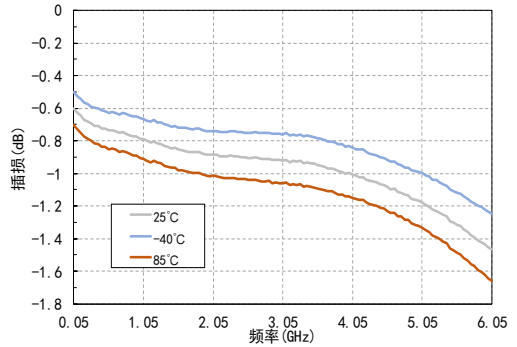
RFC回波损耗VS频率



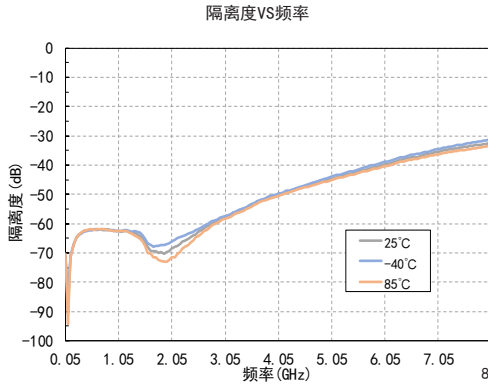
RFN回波损耗VS频率



插损VS频率



测试曲线



真值表

控制及偏置输入			信号通路状态
偏置电压 (VDD)	控制A端口	控制B端口	
3.3V	Low	Low	RFC到RF1
3.3V	High	Low	RFC到RF2
3.3V	Low	High	RFC到RF3
3.3V	High	High	RFC到RF4

工作原理

1. 本开关需要向VDD引脚施加一个电源电压。建议在电源线路上绕过电容器，以尽量减少射频耦合。
2. 本开关内部集成一个2:4编译器，四个射频路径通过应用于A和B控制输入的两个数字控制电压进行选择，建议在这些数字信号线路上安装一个小的旁路电容，以提高射频信号的隔离性。
3. 射频公共端口 (RFC) 和射频输出端口 (RF1、RF2、RF3、RF4) 内部设有50Ω匹配，因此不需要外部匹配。射频管脚是直流耦合的，射频端外围需要设置隔直电容。设计是双向的，射频输入信号可以应用于RFC端口或RF1到RF4端口。输入和输出是可互换的。
4. 根据应用于控制输入管脚A和B的逻辑电平，将一个射频输出端口（例如，RF1）设置为打开模式，通过该模式从输入端到输出端提供插入损耗路径。其他射频输出端口（例如，RF2、RF3和RF4）随后被设置为关闭模式，通过该模式，输出与输入隔离。当射频输出端口（RF1、RF2、RF3和RF4）处于隔离模式时，它们内部端接至50Ω，从而可以吸收应用的射频信号。

推荐的供电顺序

1. GND通电。
2. VDD通电。
3. 接通数字控制输入。数字控制输入的相对顺序不重要。在VDD电源前接通数字控制输入电源，可能会无意中造成偏压并损坏ESD保护结构。
4. 接通射频输入。

工作参数

偏置电压VDD	3V~3.3V
控制电压A、B	0V~0.3V (Low) 3V~3.3V (High)
工作温度	-40°C~+85°C

绝对最大额定值

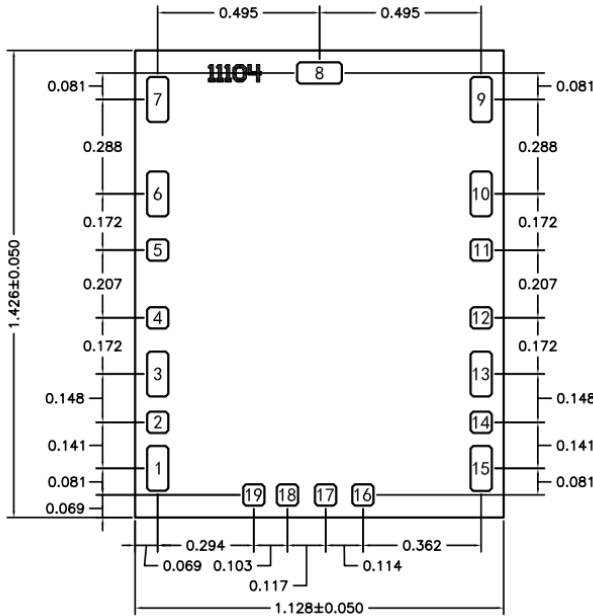
偏置电压 VDD	-0.3V~3.6V
控制电压 EN、VCTL	-0.5 V~VDD+0.3V
输入功率 (通径)	33dBm
输入功率 (终径)	33dBm
存储温度	-65°C~+150°C

注意事项

1. 禁止试图用湿化学方法清洁芯片表面。
2. 本品属于静电敏感器件，储存和使用时要注意防静电。
3. 干燥环境储存。

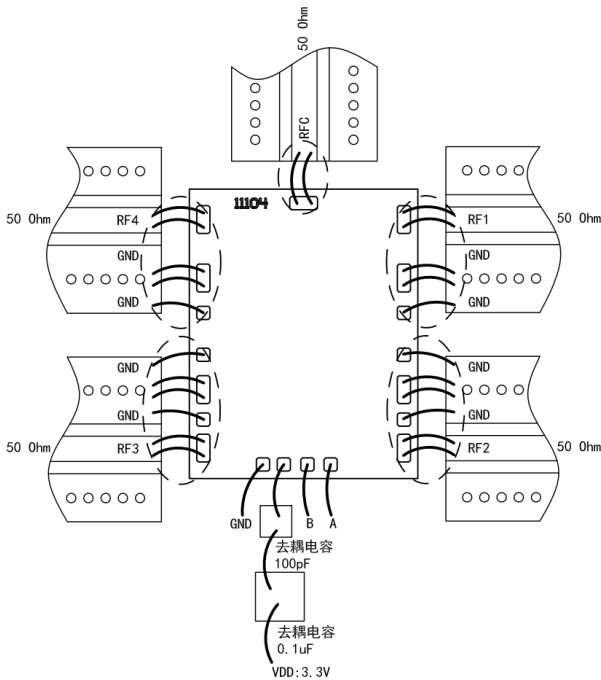


芯片外形尺寸



- 说明: 1. 单位: 毫米  
 2. 键合压点材质为铝, 压点尺寸:  
 0.065\*0.065 (mm) 与 0.137\*0.065 (mm)  
 3. 芯片厚度: 0.180 ± 0.015mm  
 4. 芯片背面未做金属化  
 5. 芯片背面接地

焊盘定义及芯片装配图



- 说明: 1. 芯片背面接地, 粘接材料: 导电胶。  
 2. 芯片键合线材料, 1Mil Au  
 3. 图中圈内线长尽量短。