

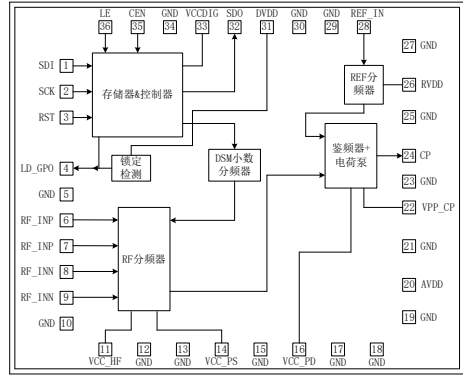
**性能特点**

- 频率范围
  - 整数模式：0.1~26GHz
  - 小数模式：0.2~18GHz
- 归一化底噪：
  - 整数模式：-235dBc/Hz
  - 小数模式：-227dBc/Hz
- 最高鉴相频率：
  - 整数模式：300MHz
  - 小数模式：150MHz
- 3.3V供电
- 芯片尺寸：1.9mm\*1.9mm\*0.2mm

**典型应用**

- 无线基础设施
- 点对点无线电
- 点对多无线电
- 测试设备和仪器

**功能框图**



**概述**

SIPL219为一款集成整数N频和小数N分频锁相环,支持0.1~26GHz射频带宽输入,最高鉴相频率300MHz(整数模式)/150MHz(小数模式)。

内部集成参考分频器、鉴相器、电荷泵、反馈分频器及delta-sigma小数分频调制器模块。

电性参数 (TA=+25°C, VCC\_HF=VCC\_PS=VCC\_PD=AVDD=VPP\_CP=RVDD=DVDD=VCCDIG=3.3V)

测试参数	描述	单位	指标参数		
			最小值	典型值	最大值
REF参数					
REF频率范围	输入正弦波	MHz	10		500
输入功率范围		dBm	0		11
R分频器比			1		16383
鉴相频率范围	整数模式	MHz	1		300
	小数模式	MHz	5		150
RF参数					
射频频率范围	整数模式	GHz	0.1		26 <sup>①</sup>
	小数模式	GHz	0.2		18
射频反馈功率	整数模式	dBm	-15		10
	小数模式	dBm	-15		10
N分频比	整数模式		20		32767
	小数模式		23		32767
电荷泵参数					
最小CP电流		mA		0.03	
最大CP电流		mA		7.6	
CP漏电流		mA		TBD	
基本功能参数					
电源电流	3.3V	mA		130	
关断电流		mA		11	

注<sup>①</sup>: 整数模式25GHz及以上频率推荐在TA=70°C及以下使用。

**电性能表**

测试参数	描述	单位	指标参数		
			最小值	典型值	最大值
PLL闭环参数					
归一化底噪 <sup>①</sup>	整数模式, PD=100MHz, VCO=10GHz	dBc/Hz		-235	
	小数模式, PD=100MHz, VCO=10.001GHz	dBc/Hz		-227	
闪烁噪声 <sup>②</sup>	整数模式@10 kHz offset	dBc/Hz		-127	
相位噪声	相位噪声@1kHz	PD=100MHz, Pin=10dBm, Fout=10GHz 整数模式  VCO型号: S1V100SP4	dBc/Hz	-96	
	相位噪声@10kHz		dBc/Hz	-106	
	相位噪声@100kHz		dBc/Hz	-110	
	相位噪声@1MHz		dBc/Hz	-118	
	相位噪声@10MHz		dBc/Hz	-142	
相位噪声	相位噪声@1kHz	PD=100MHz, Pin=10dBm, Fout=10.001GHz 小数模式  VCO型号: S1V100SP4	dBc/Hz	-95	
	相位噪声@10kHz		dBc/Hz	-103	
	相位噪声@100kHz		dBc/Hz	-106	
	相位噪声@1MHz		dBc/Hz	-119	
	相位噪声@10MHz		dBc/Hz	-140	
杂散	整数边界杂散	REF=100MHz, RF=10.00001GHz	dBc/Hz	-45	
	鉴相杂散	REF=100MHz, RF=10GHz	dBc/Hz	-95	
锁定检测功能	锁定后拉高 (锁定输出电压: 2.8V~VDD, 失锁输出电压: GND~0.4V)				

注<sup>①</sup>: 归一化底噪指的是PLL本身的底噪, 其计算公式:

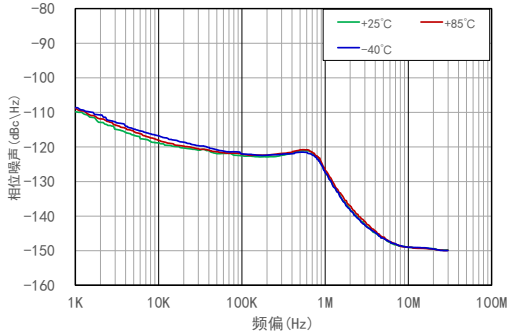
$$PN_{\text{floor}} = \text{Floor FOM} + 10\log(f_{\text{pd}}) + 20\log(f_{\text{vco}}/f_{\text{pd}})$$

注<sup>②</sup>: 闪烁噪声计算公式:

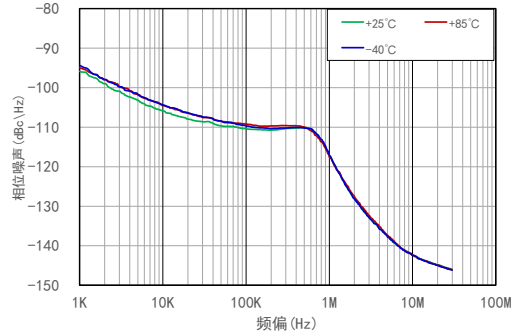
$$PN_{\text{flick}} = \text{Flicker FOM} + 20\log(f_{\text{vco}}) - 10\log(f_{\text{offset}})$$

测试曲线 (整数模式 PRF=0dBm PREF=10dBm PD=100MHz 环路带宽=600KHz)

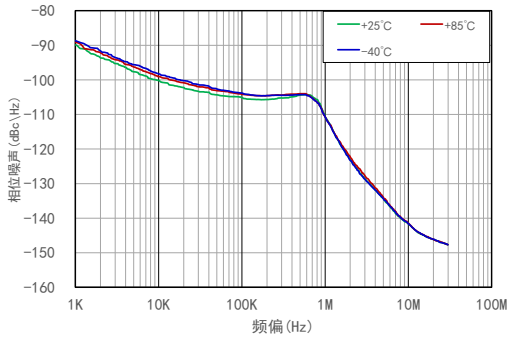
相位噪声 VS 频偏 (Fout=2GHz)



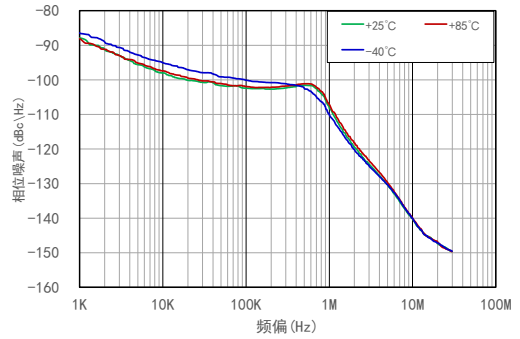
相位噪声 VS 频偏 (Fout=10GHz)



相位噪声 VS 频偏 (Fout=20GHz)

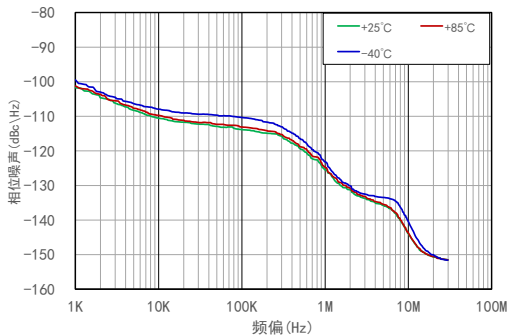


相位噪声 VS 频偏 (Fout=26GHz)

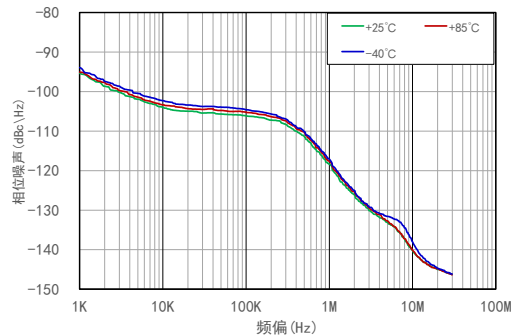


测试曲线 (小数模式 PRF=0dBm PREF=10dBm PD=100MHz 环路带宽=300KHz)

相位噪声 VS 频偏 (Fout=5.001GHz)

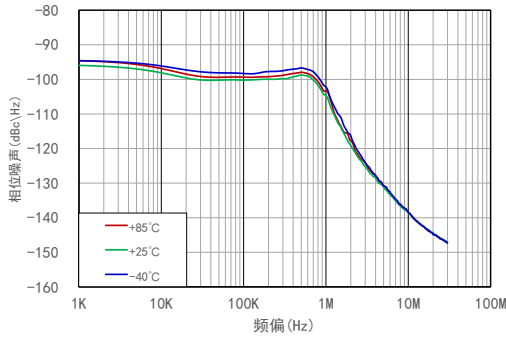


相位噪声 VS 频偏 (Fout=10.001GHz)



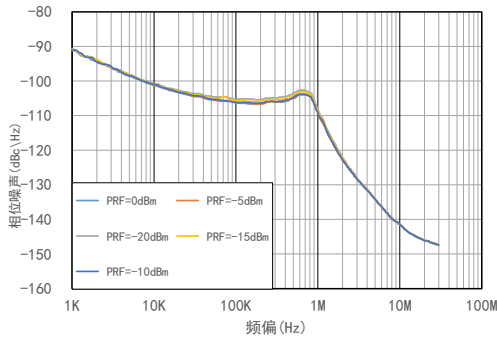
测试曲线 (小数模式 PRF=0dBm PREF=10dBm PD=100MHz)

相位噪声 VS 频偏 (Fout=18.001GHz)



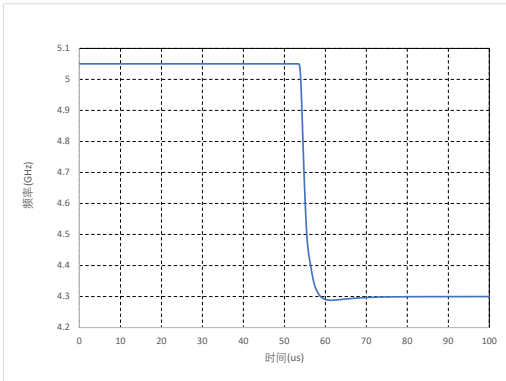
测试曲线 (整数模式 PREF=10dBm PD=100MHz 环路带宽=900KHz)

相位噪声 VS 频偏 (Fout=20GHz)

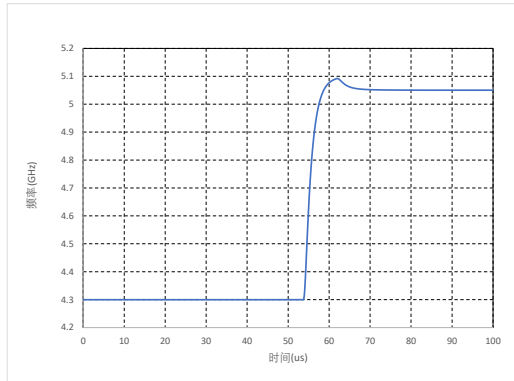


频率切换时间

频率切换 VS 时间 (PD=10MHz)

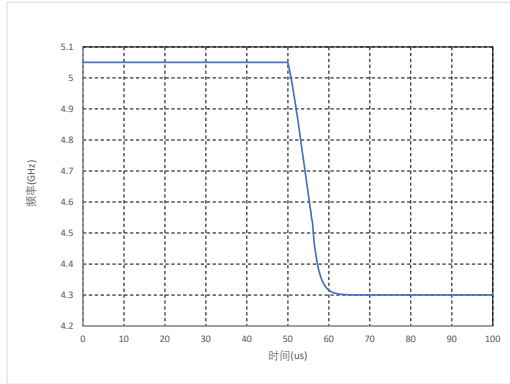


频率切换 VS 时间 (PD=10MHz)

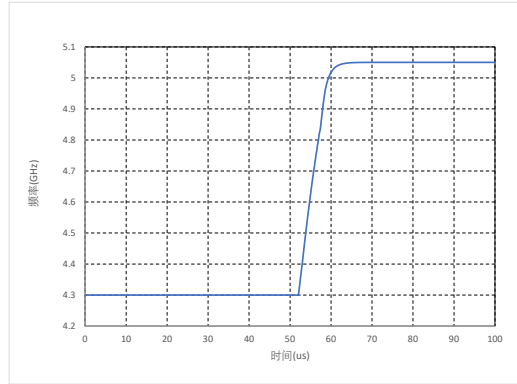


频率切换时间

频率切换 VS 时间 (PD=100MHz)



频率切换 VS 时间 (PD=100MHz)



绝对最大额定值

RF输入功率	+13dBm
VCC <sub>HF</sub> , VCC <sub>PS</sub> , VCC <sub>PD</sub> , AVDD, VPPCP, RVDD, DVDD, VccDIG	3.6V
存储温度	-65°C~+150°C
工作温度	-40°C~+85°C
静电防护等级 (HBM)	Class 1B
静电防护等级 (CDM)	Class C2a

注意事项

1. 禁止试图用湿化学方法清洁芯片表面。
2. 本品属于静电敏感器件，储存和使用时候注意防静电。
3. 干燥、氮气环境储存。



## 引脚定义

PIN号	名称	描述
1	SDI	SPI 串行数据输入, 3.3/1.8V TTL电平。
2	SCK	SPI 串行时钟输入, 3.3/1.8V TTL电平。
3	RST	寄存器复位端口, 内部集成80k $\Omega$ 下拉, 3.3/1.8V TTL电平
4	LD_GPO	LD输出端口, 也可作为内部部分信号的选通输出端口
6、7	RF_INP	RF差分输入端口
8、9	RF_INN	RF差分输入端口
11	VCC_HF	RF分频器模拟电路3.3V电源端口
14	VCC_PS	RF分频器数字电路3.3V电源端口
16	VCC_PD	鉴相器模块3.3V电源端口
20	AVDD	基准电压3.3V端口
22	VPP_CP	电荷泵模块3.3V电源端口
24	CP	电荷泵输出端口
26	RVDD	参考分频器模块3.3V电源端口
28	REF_IN	参考信号输入端口
31	DVDD	LD、GPO模块3.3V电源端口
32	SDO	SPI 辅助串行输出端口
33	VccDIG	数字模块3.3V电源端口
35	CEN	芯片使能端口, 内部集成80k $\Omega$ 上拉, 3.3/1.8V TTL电平。
36	LE	SPI 串-并转换控制信号, 上升沿触发, 内部集成80k $\Omega$ 下拉, 3.3/1.8V TTL电平
5、10、12、13、 15、17、18、19、 21、23、25、27、 29、30、34	GND	芯片地

**SPI控制说明**
**一. 功能描述**

1. 支持 HMC 模式和 OPEN 模式；
2. 支持 3 线只写模式和 4 线读写模式；（SCK, LE, SDI, LD\_GPO）
3. HMC 模式和 OPEN 模式下的寄存器访问地址均为 6 比特，地址范围为 00h~3Fh；寄存器自身均为 24 比特，未定义部分均作为保留位处理；
4. 支持异常处理。
  - a) HMC 模式下读写操作需要 LE 信号一直为高，若 LE 信号在读写操作过程中出现拉低，则读写状态机进入初始状态，等待下一次读写操作。
  - b) 若写入地址未定义的寄存器，则从机忽略该操作；
  - c) 若要读取地址未定义的寄存器或者寄存器位未定义，则从机默认返回的寄存器值为全零

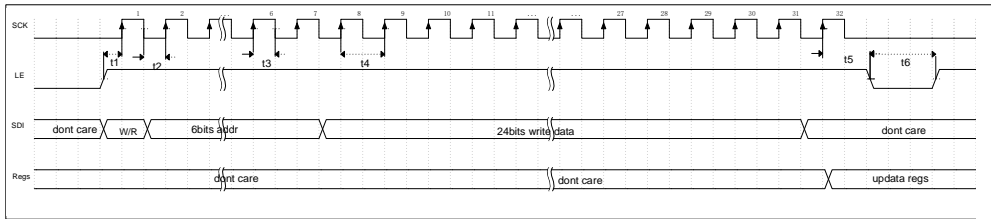
**二. 时序描述**

hmc模式

hmc模式：LE上升沿先于SCK上升沿出现。

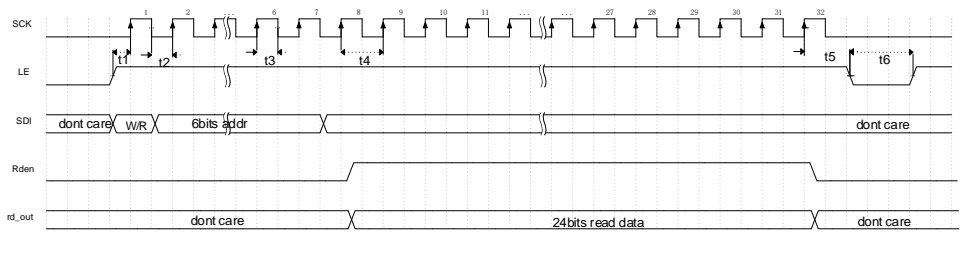
hmc模式：1个读写控制位，6bit的地址位，24bit的数据位。

模式	参数	描述	min	type	max	单位
HMC	t1	LE上升沿至SCK建立时间		10		ns
	t2	SCK低电平持续时间		10		ns
	t3	SCK高电平持续时间		10		ns
	t4	SCK频率		50		MHz
	t5	SCK上升沿至LE下降沿		15		ns
	t6	LE低电平保持时间		20		ns
OPEN	t1	SCK上升沿至LE建立时间		10		ns
	t2	SCK低电平持续时间		10		ns
	t3	SDI数据建立时间		12		ns
	t4	SCK频率		50		MHz
	t5	LE高电平保持时间		10		ns
	t6	SCK到LE锁定数据时间		20		ns



写状态：

- 1: SCK第一个上升沿写入读写控制位; (1 SCK cycle)
- 2: SCK上升沿写入6位地址位, MSB优先; (2-7 SCK cycle)
- 3: SCK上升沿写入24位的数据, MSB优先; (8-31 SCK cycle)
- 4: 第32个上升沿将数据写入相应的寄存器中; (32 SCK cycle)
- 5: 经过最小延迟时间 $t_5$ , LE清零, 一次写周期完成。



SPI控制说明

读状态:

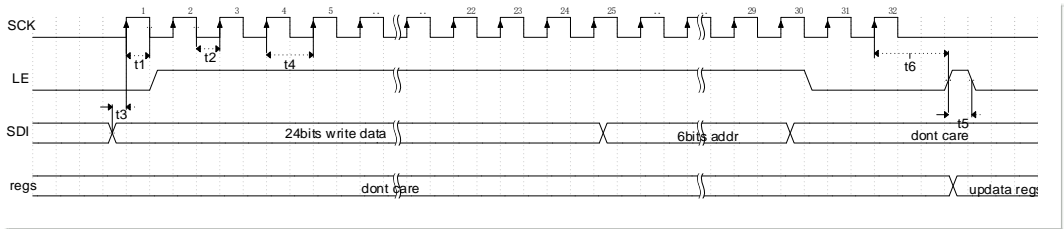
- 1: SCK第一个上升沿写入读写控制位。(1 SCK cycle)
- 2: SCK上升沿写入6位地址位。(2-7 SCK cycle)
- 3: SCK上升沿读出相应寄存器的值(8-31 SCK cycle)
- 4: 经过最小延迟时间 $t_s$ , LE清零, 一次写周期完成。

open模式

open模式: SCK上升沿先于LE上升沿出现。

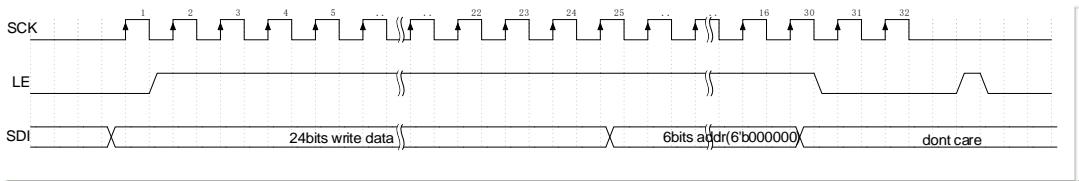
open模式: 24bit数据位, 6bit地址位。

写状态:

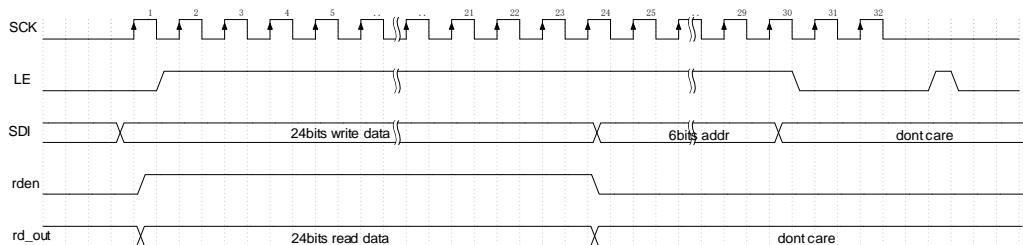


- 1: 在SCK上升沿写入24bit数据; (1-24 SCK cycle)
- 2: 在SCK上升沿写入6bit地址; (25-30 SCK cycle)
- 3: 在第32个上升沿之后置位LE;
- 4: 在LE上升沿更新对应的寄存器。

读状态:



open读寄存器1阶段



open读寄存器2阶段

- 一阶段: 根据open模式的写状态写寄存器reg00; (地址: 6' b000000)。
- 二阶段: 1: LE清零. 开始读状态的第二周期;  
2: 根据读状态的第一周期的地址 (寄存器00h[5:0]所示地址的数据) 放在rd\_out 上。



**SPI控制说明**

## 三. 寄存器表

名字	地址	命名	功能	位号 bit	读写	默认值 default-dec	描述
读地址寄存器	00	read_address	SPI读数据时的地址	4:0	RW	0	仅在SPI为open模式下使用，写入需要读取的寄存器的地址，并在LD_GP0读取该地址对应的寄存器中的数据
全局关断控制寄存器	01	PD_ALL	全局关断控制	0	RW	0	0: 全局正常工作 1: 全局关断
		PD_REF	开关参考通道	1	RW	0	1: 强制关断参考通道
		PD_RF	开关反馈分频	2	RW	0	1: 强制关断反馈分频
		PD_PFD	开关鉴频鉴相器PFD	3	RW	0	1: 强制关断PFD
		PD_CP	开关电荷泵CP	4	RW	0	1: 强制关断电荷泵
		PD_BIAS	开关电荷泵偏置电流	5	RW	0	1: 强制关断电荷泵偏置电流
		PD_LD	开关锁定检测	6	RW	0	1: 强制关断锁定检测
		BLK_UVLO	屏蔽UVLO信号	7	RW	0	0: 关闭上电复位时的欠压锁存功能 1: 开启欠压锁存
		RESET	复位寄存器	8	RW	0	复位所有状态机和寄存器到默认值 0: 正常工作 1: 复位
参考分频寄存器	02	rdiv	参考分频比	13:0	RW	1	分频比1——16383 ( $2^{14}-1$ )
		Reserved	保留位	14	RW	0	保留位
		RST_REF	重置参考分频	15	RW	0	重置参考分频器，高有效
		en_ref2div	参考信号到数字使能	16	RW	1	参考信号到数字使能，高有效
整数分频寄存器	03	intg	反馈分频比	14:0	RW	100	整数模式：分频比 $20 \sim 32767$ ( $2^{15}-1$ )
		Reverse	保留位	20:15	RW	0	保留位
		pd_rst_div	复位反馈分频	21	RW	0	复位反馈分频，高有效
小数分频寄存器	04	frac	小数分频比	23:0	RW	100	设置小数分频比NUM[23:0]

**SPI控制说明**

名字	地址	命名	功能	位号 bit	读写	默认值 default-dec	描述
小数分频控制寄存器	06	n_reset_dsm	复位小数分频	0	RW	1	初始复位信号，低电平复位
		dsm_en	开关小数分频	1	RW	1	0: 关闭小数分频 1: 开启小数分频
		Reverse	保留位	3:2	RW	0	保留位
		mash2_en	mash模式的阶数	4	RW	0	0: 三阶mash 1: 二阶mash
		int_en	开关整数模式	5	RW	0	0: 小数模式 1: 整数模式（小数分频失效）
		dither_en	开关抖动	6	RW	0	0: 无抖动 1: 自抖动或LFSR抖动
		dither_type	LFSR抖动模式	7	RW	1	仅当dither_en=1有效: 0: LFSR抖动 1: 自抖动
		mash_seed_en	mash初始状态使能	8	RW	0	0: 初始状态为默认值0 1: 初始状态可通过mash_seed设置
		NDiv_Clk_todig_en	反馈分频到数字的时钟使能	9	RW	1	0: 关断 1: 使能
		NDiv_Clk_phase	反馈分频到数字时钟相位控制	10	RW	0	0: 同相 1: 反相
		Ndiv_Clk_delay	反馈分频到数字时钟延时控制	12:11	RW	0	00: 延时1 10: 延时2 11: 延时3
小数分频seedA	07	mash_seed	小数分频初始状态	23:0	RW	0	mash_seed[23:0]
锁定检测及总并口输出寄存器	09	LD_window	数字LD判定窗口大小	2:0	RW	0	数字LD判定窗口大小: 000: 2ns 001: 5.5ns 010: 11ns 011: 21ns 100: 30ns 101: 58ns 110: 114ns 111: 224ns
		LD_wincnt	数字LD窗口判定计数值	4:3	RW	0	PFD在窗口内的次数达到该设定值后LD判定有效: 00: 64 01: 256 10: 1024 11: 4096
		LD_MODE	LD工作模式	5	RW	0	LD工作模式: 0: 数字LD模式（PFD延时窗口模式） 1: 模拟LD模式（PFD占空比模式）

**SPI控制说明**

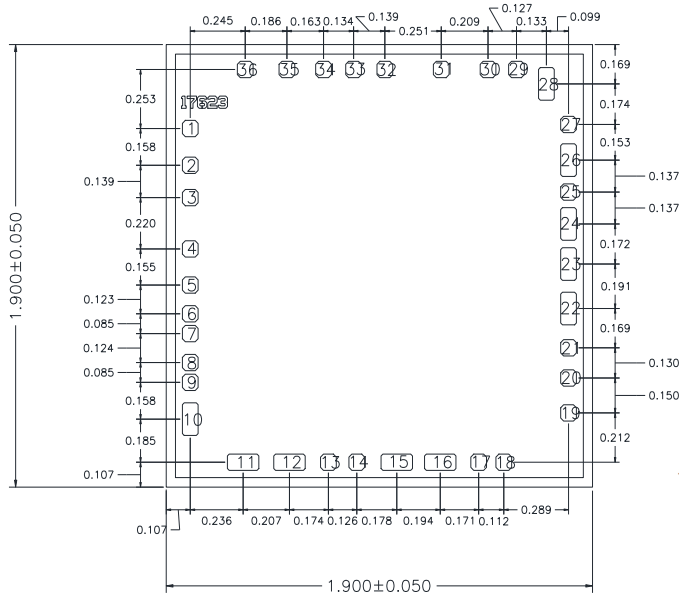
名字	地址	命名	功能	位号 bit	读写	默认值 default-dec	描述
锁定检测及总并口输出寄存器	09	Reverse	保留位	7: 0	RW	0	保留位
		LD_DCC	模拟LD占空比判定范围	10:8	RW	0	LD占空比判定范围: 000: 10% 001: 15% 010: 20% 011: 25% 100: 30% 101: 35% 110: 40% 111: 45%
		Reverse	保留位	15:11	RW	0	保留位
		GPO	全局并口输出	19:16	RW	0	LD_GPO_OUT引脚输出的模拟输出选择: 0000: 未连接NC 0001: 参考分频REF_DIV 0010: 反馈分频RF_DIV 0011: 电荷泵UP 0100: 电荷泵DN 0101: 调谐电压VCP_mir1 0110: 调谐电压VCP_mir2 0111: 欠压锁存VUVLO 1000 - 1111: 未连接NC LD_GPO_OUT引脚的输出受控于RD_EN和GPO_EN, RD_EN常为高, LE (SEN)有阶跃(低至高或高至低)则RD_EN为低。选择方式如下: 当RD_EN=1 (高), LD_GPO_OUT=SDO (无关GPO_EN高或低); 当RD_EN=0 (低) 且GPO_EN=0, LD_GPO_OUT=LD; 当RD_EN=0 (低) 且GPO_EN=1, LD_GPO_OUT=模拟输出 (见上)
		Reverse	保留位	22:20	RW	0	保留位
		GPO_EN	开关GPO	23	RW	0	0: 关断GPO, 采用LD模式 1: 关断LD, 采用GPO模式
鉴频鉴相器和电荷泵寄存器 A	10	PD_tdelay	设置PFD重置延时	1:0	RW	0	PFD重置延时: 00: 0.6ns 01: 1ns 10: 1.4ns 11: 1.8ns
		POL_INV	设置PFD极性	2	RW	1	PFD极性控制: 0: 极性正 1: 极性反
		Reverse	保留位	4:3	RW	0	保留位
		FUP_CP	强制使能PFD的UP输出	5	RW	0	仅在PFD关断下有效 0: 强制关断PFD的UP输出 1: 强制使能PFD的UP输出

SPI 控制说明

名字	地址	命名	功能	位号 bit	读写	默认值 default-dec	描述
鉴频鉴相器和电荷泵寄存器A	10	FDN_CP	强制使能PFD的DN输出	6	RW	0	仅在PFD关断下有效 0: 强制关断PFD的DN输出 1: 强制使能PFD的DN输出
		Reverse	保留位	7	RW	0	保留位
		CPGup	CP增益电流UP控制字	15:8	RW	255	CP增益电流UP控制字 (30uA/bit) : 电流计算: 30uA*CPGup CPGup范围: 0-255
		CPGdn	CP增益电流DN控制字	23:16	RW	255	CP增益电流DN控制字 (30uA/bit) : 电流计算: 30uA*CPGdn CPGdn范围: 0-255
鉴频鉴相器和电荷泵寄存器B	11	CPOS_current	CP补偿电流控制字	6:0	RW	0	CP补偿电流DN控制字 (7.5uA/bit) : 电流计算: 7.5uA*CPOS_current CPOS_current范围: 0-127
		Reverse	保留位	7	RW	0	保留位
		CPOS_UP_EN	开关CP的UP补偿电流	8	RW	0	0: 关断CP的UP补偿电流 1: 开启CP的UP补偿电流
		CPOS_DN_EN	开关CP的DN补偿电流	9	RW	0	0: 关断CP的UP补偿电流 1: 开启CP的UP补偿电流
		reseved	保留位	10	RW	0	
		Ndiv BIAS	反馈分频电流调节	13:11	RW	2	000: 电流最小 001: 电流+5% 010: 电流+10%

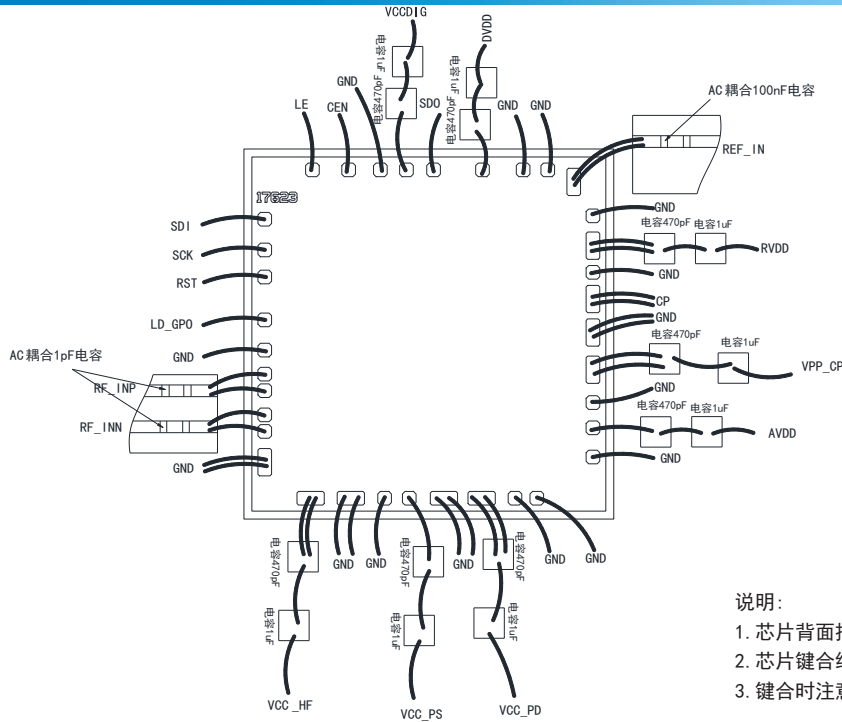
SIPL  
锁相

外形尺寸



- 说明:
1. 单位: 毫米
  2. 键合压点镀铝, 压点尺寸: 0.070\*0.070 (mm) 与0.070\*0.140 (mm)
  3. 芯片厚度: 0.170~0.220mm
  5. 芯片背面未金属化
  6. 芯片背面接地

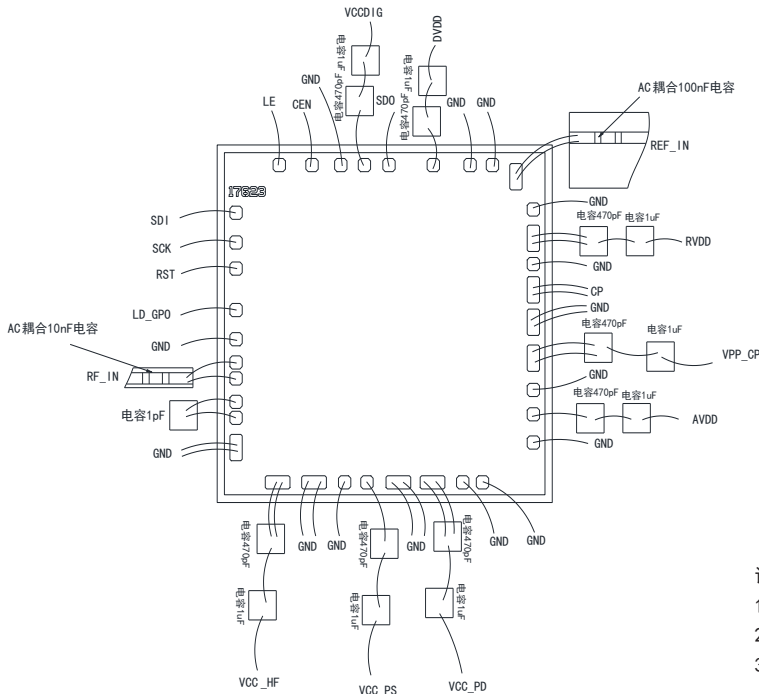
芯片装配图—差分输入输出



说明:

1. 芯片背面接地, 粘接材料: 导电胶
2. 芯片键合线材料: 1mil Au
3. 键合时注意图中线长尽量短

芯片装配图—单端输入输出



说明:

1. 芯片背面接地, 粘接材料: 导电胶
2. 芯片键合线材料: 1mil Au
3. 键合时注意图中线长尽量短