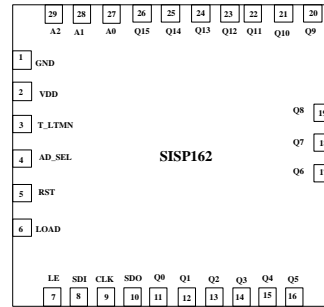


性能特点

- SPI接口兼容3.3V/5V TTL信号
- 串行最大速率可达50MHz
- 3bit地址校验功能

典型应用

- 串/并转换

功能框图

概述

SISP162是一款16bit SPI串并转换器芯片，兼容标准3.3V/5V供电，输入接口兼容3.3V/5V TTL电平（3.3V供电下输入可兼容1.8V电平）。

模块内部带两级16bit的寄存器，可对串行输入数据进行预存，再通过LOAD端口控制同步输出，3bit地址校验功能，地址校验成功输出指示功能。

电性能表（TA=+25°C，VDD=3.3V）

参数名	最小值	典型值	最大值	单位	测试条件
电源参数:					
VDD电压范围	3		5.5	V	
VDD静态电流			0.1	mA	
逻辑参数:					
逻辑输入高电平VIH	2.3			V	VDD=5V
	1.7			V	VDD=3.3V
逻辑输入低电平VIL			2	V	VDD=5V
			1.4	V	VDD=3.3V
逻辑输出高电平VOH	VDD-0.15			V	1mA正向输出电流负载，VDD=5V
逻辑输出低电平VOL			0.15	V	1mA负向输出电流负载，VDD=5V
传输延迟		10(1)		ns	LOAD上升沿至输出，VDD=5V
		20(1)		ns	LOAD上升沿至输出，VDD=3.3V
输出上升时间（10%~90%）		3(1)		ns	1mA正向输出电流负载，无电容负载，VDD=5V
输出下降时间（10%~90%）		3(1)		ns	1mA负向输出电流负载，无电容负载，VDD=5V

注：表中(1)表示设计保证值

功能说明

标准SPI实现数据的串-并转换：

CLK速率最高满足50MHz，16bit的SPI转换器，串行寄存器为先低位后高位，先数据后地址的通信原则：

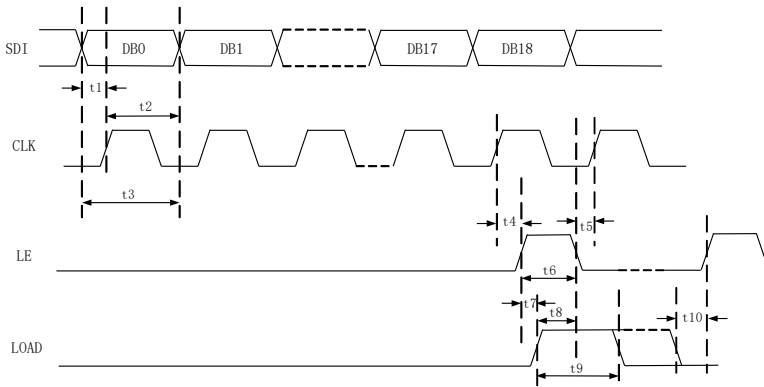
DB0~DB15	DB16~DB18
DIN0~DIN15	DA0~DA2

LE信号为串-并转换触发信号，LE低电平时并行寄存器锁定，高电平时并行寄存器透明，将串行寄存器数据加载至并行寄存器。

LOAD信号为输出加载信号，检测到LOAD信号上升沿时，将并行寄存器数据加载至输出端口。

地址校验功能：串行输入的地址位DA<2:0>与芯片A2、A1、A0引脚输入的并行地址位一致时LE高电平实现串行数据至并行寄存器的加载，地址信息不一致时并行寄存器锁定，LE无法对并行寄存器内DB0~DB15数据进行更改

时序图



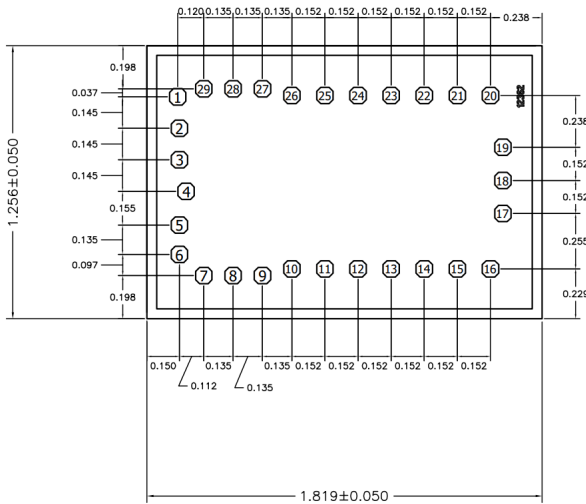
时序要求

参数	最小值	最大值	说明
t1	5n		data建立时间
t2	5n		data保持时间
t3	20n		data (clk) 周期
t4	5n (VDD=5V)		clk上升沿至LE上升沿建立时间
	10n (VDD=3.3V)		
t5	15n (VDD=5V)		LE下降沿至下一个clk上升沿保持时间
	25n (VDD=3.3V)		
t6	5n (VDD=5V)		LE高电平宽度
	10n (VDD=3.3V)		
t7	10n		LE上升沿至LOAD上升沿建立时间
t8	5n		LOAD上升沿至LE下降沿保持时间
t9	10n		LOAD高电平宽度
t10	5n		LOAD下降沿至LE上升沿保持时间

绝对最大值

参数	范围
VDD	-0.3V~6V
逻辑输入电压	-0.3V~6V
工作温度	-40°C~125°C
存储温度	-65°C~150°C
ESD等级	2kV HBM

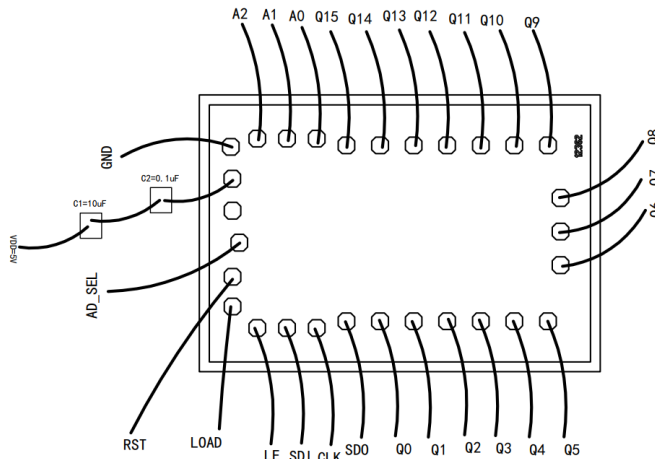
芯片外形尺寸



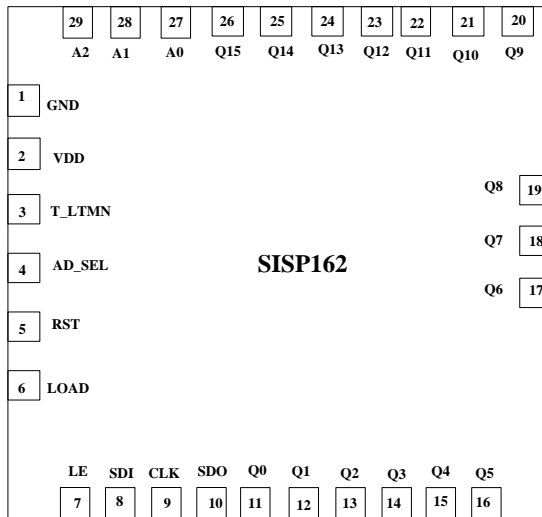
说明:

1. 单位: 毫米
2. 键合压点镀金, 压点尺寸: 0.075*0.075 (mm)
3. 芯片厚度: 170~220um
4. 芯片焊盘编号顺序已焊盘定义图顺序一致

芯片装配图



1. 芯片背面与VEE同电位或绝缘, 粘接材料: 导电胶
2. 芯片键合线材料: 1mil Au
3. 图中所有键合线长尽量短

焊盘定义

焊盘描述

PIN号	名称	描述
1	GND	SPI接地端口
2	VDD	SPI电源输入端口，输入范围3~5V
3	T_LTMN	悬空
4	AD_SEL	地址校验输出，校验通过输出高，否则输出低
5	RST	寄存器重置信号，高电平时重置SPI串行寄存器及并行寄存器，Q0~Q7置零。内部集成80kΩ下拉，5/3.3V TTL电平
6	LOAD	上升沿加载SPI并行寄存器内的数据至输出驱动器，内部集成80kΩ下拉，5/3.3V TTL电平
7	LE	SPI串-并转换控制信号，低电平时串行移位寄存器有效，并行输出寄存器锁定；高电平时将数据加载至并行输出寄存器。内部集成80kΩ下拉，5/3.3V TTL电平
8	SDI	SPI串行数据输入，5/3.3V TTL电平
9	CLK	SPI串行时钟输入，5/3.3V TTL电平
10	SDO	SPI串行输出端口
11~26	Q0~Q15	16通道输出端口
27~29	A0~A2	并行地址位输入端口，5/3.3V TTL电平

典型应用图

