

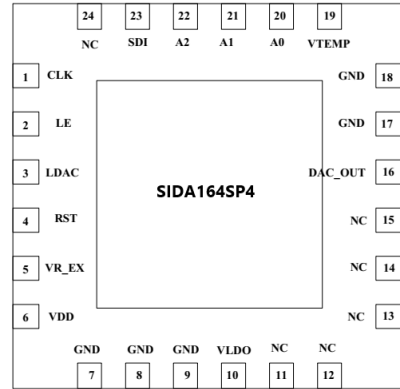
性能特点

- $DNL < 0.3LSB$, $INL < 0.5LSB$
- 5V+17V 供电
- DAC 输出满摆幅建立时间约 0.2 μ s
- 封装尺寸: QFN 4*4 24L

典型应用

- 数模转换

功能框图



概述

SIDA164SP4 是一款 10Bit 单通道数模转换器芯片, $DNL < 0.3LSB$, $INL < 0.5LSB$, 5V+17V 双电源供电。可选择电源电压分压作为基准电压, 使得输出范围跟随电源电压变化, 也可选择内部基准模块生成基准电压。

内部集成 50MHz 速率的 SPI 模块, 数字控制端口为 3.3V TTL 电平, 内部集成 3.3V 稳压电源。

内部集成正温系数电压输出端口 VTEMP, 可作为温度传感器的模拟读出端, 在 $-40^{\circ}C \sim 125^{\circ}C$ 下输出范围 1V~1.8V。

DAC 芯片未集成升压泵电路, 使用时可选择将升压泵芯片封装在同一管壳内

电性能表 (VDD=4.75~5.25V, TA= -40°C~125°C)

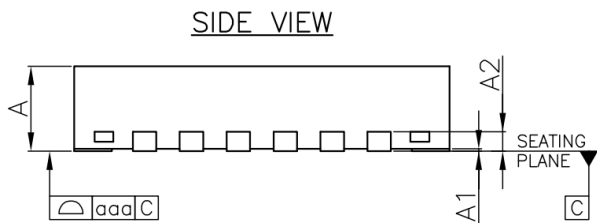
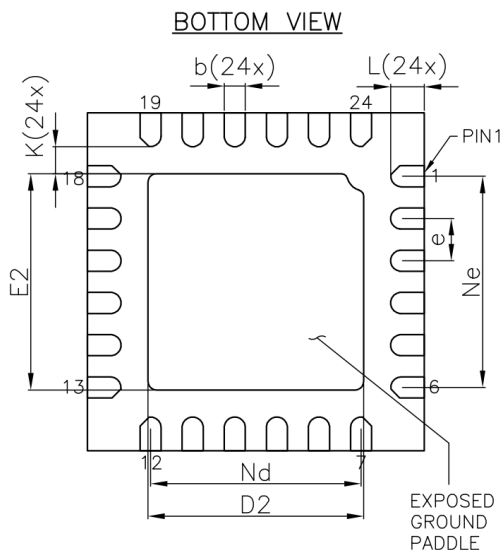
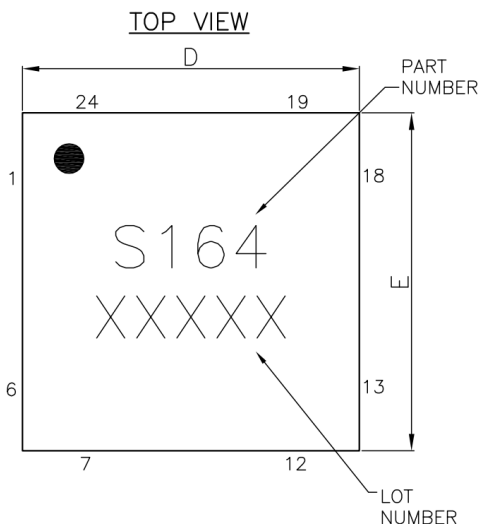
参数名	最小值	典型值	最大值	单位	测试条件
静态参数:					
输出范围	0.5		VLDO-0.5	V	超出该范围则精度与速度不能得到保证
分辨率		10		Bit	
INL	-0.5		+0.5	LSB	
DNL	-0.3		+0.3	LSB	
失调误差	-1		+1	LSB	
增益误差	-0.5%		0.5%		源电压分压基准模式
	-1%		1%		内部基准模式
失调温漂	-20		20	$\mu V/^{\circ}C$	源电压分压基准模式
	-50		50	$\mu V/^{\circ}C$	内部基准模式
增益温漂	-2		2	ppm/ $^{\circ}C$	源电压分压基准模式
	-40		40	ppm/ $^{\circ}C$	内部基准模式
源电压范围 VDD	4.75		5.25	V	
工作电流 VDD		3.5		mA	
源电压范围 VLDO	17		20	V	
工作电流 VLDO		1.2		mA	
总功耗		38		mW	VLDO=17V
动态参数:					
满摆幅建立时间		0.2 (10%~90%)		μ s	16V 跳变幅度
毛刺峰值		20mV(1)			1LSB 跳变
毛刺脉冲		1(1)		nV*sec	1LSB 跳变
逻辑输入:					
逻辑高电平 VIH	1.7			V	
逻辑低电平 VIL			1.4	V	

注:(1)设计保证

极限工作参数

参数	范围
VDD	-0.3V~6V
逻辑输入电压	-0.3V~6V
工作温度	-40°C~125°C
存储温度	-65°C~150°C
ESD等级	2kV HBM
VLDO	-0.3~20V

外形尺寸

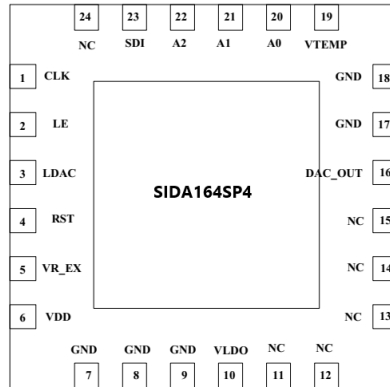


说明:

1. 单位: mm
2. 引线框架材料: 铜合金
3. 封装表面翘曲: $\leq 0.05\text{mm}$
4. 所有接地引脚请连接PCB射频地

Symbol	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.20Ref		
b	0.18	0.25	0.30
D	3.90	4.00	4.10
D2	2.41	2.56	2.66
e	0.50BSC		
Ne	2.50BSC		
Nd	2.50BSC		
E	3.90	4.00	4.10
E2	2.41	2.56	2.66
K	0.20	---	---
L	0.30	0.40	0.50
aaa	0.08		

引脚定义



引脚描述

PIN 号	名称	描述
1	CLK	SPI 串行时钟输入, 3.3/5V TTL 电平
2	LE	SPI 串-并转换控制信号, 低电平时串行移位寄存器有效, 并行输出寄存器锁定; 高电平时将数据加载至并行输出寄存器。内部集成 80kΩ 下拉, 3.3/5V TTL 电平
3	LDAC	上升沿加载 SPI 并行寄存器内的数据至 DAC, 内部集成 80kΩ 下拉, 3.3/5V TTL 电平
4	RST	寄存器重置信号, 高电平时重置 SPI 串行寄存器及 DAC 寄存器, DAC 输出 0。内部集成 80kΩ 下拉, 3.3V/5V TTL 电平
5	VR_EX	保留引脚, 仅测试用
6	VDD	电源输入端口, 输入范围 4.75~5.25V
7、8、9、17、18	GND	接地端口
10	VLDO	高压电源输入端口, 输入范围 17V~19V
16	DAC_OUT	DAC 输出引脚
11~15, 24	NC	NC
19	VTEMP	温度读取输出端, 模拟信号, PTAT 电压
20~22	A0~A2	并行地址位输入端口, 3.3/5V TTL 电平
23	SDI	SPI 串行数据输入, 3.3/5V TTL 电平
epad	GND	背部 pin 脚接地

标准SPI实现数据的串-并转换

CLK速率最高满足50MHz，16bit的SPI转换器对DAC输入数据，DAC基准选择，DAC地址检验实现控制，具体寄存器位

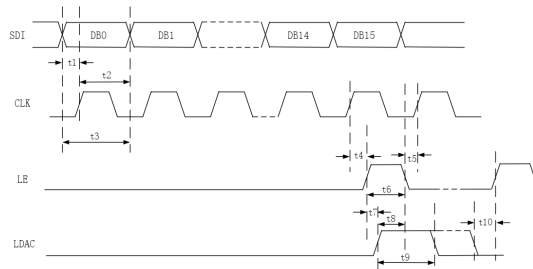
DB0~DB9	DB10~DB12	DB13~DB15
DAC输入数据位DIN<0>(LSB)~DIN<9>(MSB)	基准选择位DVR_SEL<0>~ DVR_SEL<2>	地址位 DA<0>~ DA<2>

LE信号为串-并转换触发信号，LE低电平时并行寄存器锁定；高电平时并行寄存器透明，将串行寄存器数据加载至并行寄存器。

LDAC信号为DAC加载信号，检测到LDAC信号上升沿时，将并行寄存器数据加载至DAC输入。

地址校验功能，串行输入的地址位DA<2:0>与芯片A2、A1、A0引脚输入的并行地址位一致时LE高电平实现串行数据至并行寄存器的加载，地址信息不一致时并行寄存器锁定，LE无法对并行寄存器内DB0~DB15数据进行更改。

时序图



时序要求:

参数	最小值	最大值	说明
t1	5n		data建立时间
t2	5n		data保持时间
t3	20n		data(clk)周期
t4	5n		clk上升沿至LE上升沿建立时间
t5	10n		LE下降沿至下一个clk上升沿保持时间
t6	5n		LE高电平宽度
t7	10n		LE上升沿至LDAC上升沿建立时间
t8	5n		LDAC上升沿至LE下降沿保持时间
t9	10n		LDAC高电平宽度
t10	5n		LDAC下降沿至LE上升沿保持时间

功能说明

译码器与同步模块

SPI输出的并行数据通过译码器得到DAC阵列控制信号DOUT<9:0>,为降低DAC输出glitch,Decoder模块内部将LDAC信号作为同步信号,LDAC上升沿触发DOUT<9:0>同时输出至DAC阵列。

基准电压的选择

默认状态下可选择源电压的分压值得到基准电压,即0.56VDD作为VR1,为使得DAC输出稳定,要求源电压VIN输入前有良好的滤波处理。

另外DAC芯片内部集成基准模块,可输出VRIN1=2.8V作为DAC的基准电压,若对输出有电源抑制能力的要求,可选择VRIN1作为VR1。

DVR_SEL<2>	DVR_SEL<1:0>	VR1/V
1	00	2.8V
0	00	0.56VDD

电压型DAC实现数模转换

10bit电流型DAC阵列实现数模转换得到电流信号,通过反向放大器后得到DAC输出电压。输入偏置电压VR1,可计算得到VOUT电压值:

$$VOUT|_{max}=6VR1-1LSB$$

$$VOUT|_{min}=0$$

上电复位与欠压锁存

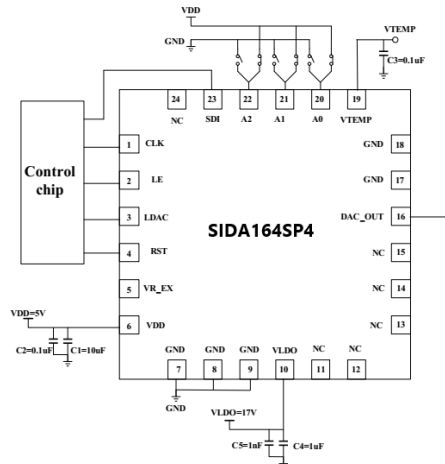
VIN上电超过3V以后,Bandgap模块会输出上电复位信号POR持续约50us,对SPI及Decoder内的寄存器进行复位,复位值:所有寄存器置0。

欠压锁存UVLO在VIN低于2.9V时触发锁存信号,与POR信号功能相同,VIN恢复至3V后取消锁存信号。

温度读出模拟信号

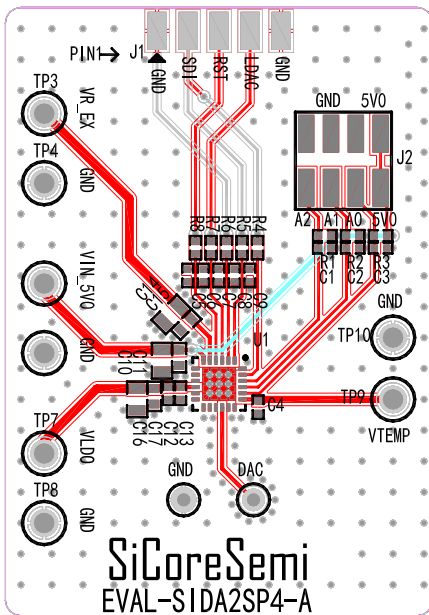
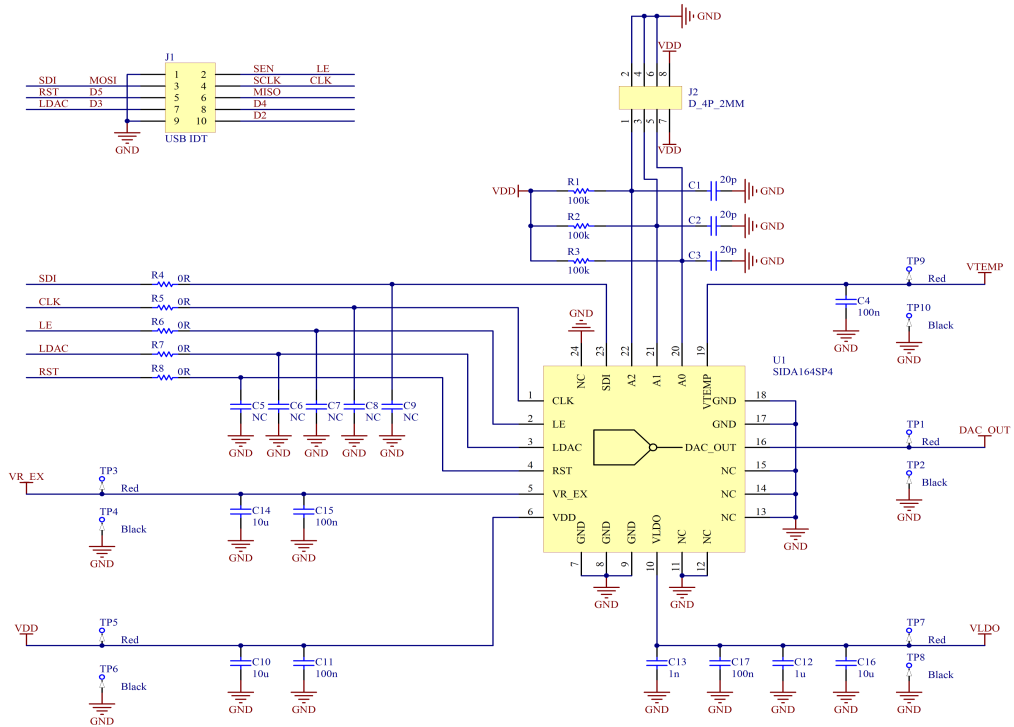
VTEMP为正温系数PTAT电压,可对芯片温度进行监测读出,在-40°C~125°C范围内实现1V~1.8V的变化,温度-电压增益约4.7mV/°C。

推荐应用方案



评估板电路图

数模转换器



Designator	Description
C1, C2, C3	多层陶瓷电容 0402 20pF
C4	多层陶瓷电容 0402 100nF
C10, C14, C16	多层陶瓷电容 0805 10uF
C11, C15, C17	多层陶瓷电容 0603 100nF
C12	多层陶瓷电容 0402 1uF
C13	多层陶瓷电容 0402 1nF
J1	10Pin DC引脚
J2	8Pin DC引脚
R1, R2, R3	电阻 0402 100kΩ
R3, R4, R5	电阻 0402 0Ω
TP1, TP2, TP3, TP4, TP5, TP6, TP7, TP8, TP9, TP10	DC测试端子
U1	SIDA164SP4
NC表示为未使用端口或器件不焊接。芯片NC端口外部可连接到GND。	