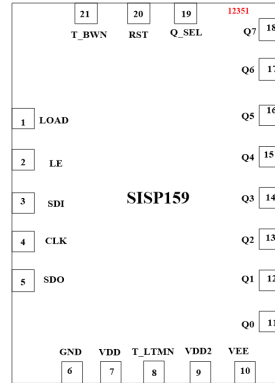


性能特点

- 配置：8bit/16bit
- 输出驱动最大摆幅：-3~+2V
- 正向输出电流负载：40mA
- 负向输出电流负载：10mA
- 串行速率：50MHz
- 芯片尺寸：1.760*1.216*0.180mm

典型应用

- PIN驱动器

功能框图

概述

SISP159是一款8通道PIN驱动器芯片，输出高低电平由外加正负电源控制，最大可实现-3V~+2V的输出摆幅。

内部集成50MHz速率的SPI模块，SPI接口兼容1.8V/3.3V TTL电平，模块内部带16bit的寄存器，可对串行输入数据进行预存，再通过LOAD端口控制同步输出。

电性能表 (TA=-55°C~125°C, VDD=3~3.6V)

参数名	最小值	典型值	最大值	测试条件	单位
电源参数：					
VDD电压范围	3		3.6		V
VDD2电压范围	1.8		VDD		V
VEE电压范围	VDD2-5.5		VDD2-3		V
VDD静态电流			0.1		mA
VDD2静态电流			0.1	VDD2=2V, 输出空载	mA
逻辑参数：					
逻辑输入高电平VIH	1.4			VDD=3.3V	V
逻辑输入低电平VIL			1	VDD=3.3V	V
逻辑输出高电平VOH	VDD-0.1			1mA正向输出电流负载	V
逻辑输出低电平VOL			0.1	1mA负向输出电流负载	V
输出参数					
VDD2-VEE=5V					
输出高电平VOH2		VDD2-0.2		40mA正向输出电流负载	V
输出低电平VOL2		VEE+0.2		10mA负向输出电流负载	V
传输延迟		20		LOAD上升沿至输出	Ns
输出上升时间 (10%~90%)		5		40mA正向输出电流负载, 无电容负载	Ns
输出下降时间 (10%~90%)		5		10mA负向输出电流负载, 无电容负载	ns

功能说明

标准SPI实现数据的串-并转换:

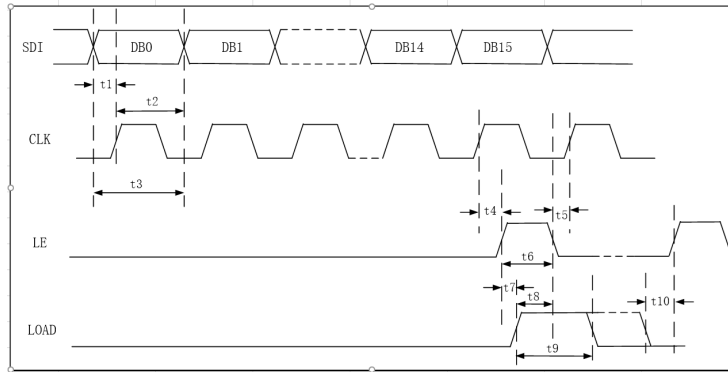
CLK速率最高满足50MHz, 16bit/8bit的SPI转换器, 串行寄存器为先低位后高位的通信原则, 通过T_BWN选择SPI位数, 通过Q_SEL选择输出高8位或低8位.:

控制字真值表			
T_BWN	Q_SEL	寄存器位数	Q<7:0>
0	0	16	DB<7:0>
0	1	16	DB<15:8>
1	X	8	DB<7:0>

LE信号为串-并转换触发信号, LE低电平时并行寄存器锁定; 高电平时并行寄存器透明, 将串行寄存器数据加载至并行寄存器。

LOAD信号为输出加载信号, 检测到LOAD信号上升沿时, 将并行寄存器数据加载至驱动器输出。

时序图



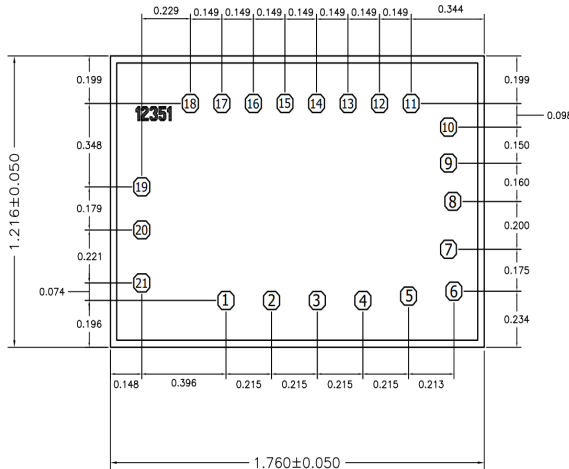
时序要求

参数	最小值	最大值	说明
t1	5n		data建立时间
t2	5n		data保持时间
t3	20n		data (clk) 周期
t4	10n		clk上升沿至LE上升沿建立时间
t5	5n		LE下降沿至下一个clk上升沿保持时间
t6	5n		LE高电平宽度
t7	10n		LE上升沿至LOAD上升沿建立时间
t8	5n		LOAD上升沿至LE下降沿保持时间
t9	10n		LOAD高电平宽度
t10	5n		LOAD下降沿至LE上升沿保持时间

绝对最大值

参数	范围
VDD	-0.3V~3.6V
VDD2	-0.3V~VDD+0.3V
VEE	VDD2-6V~-0.3V
逻辑输入电压	-0.3V~VDD+0.3V
工作温度	-55°C~125°C
存储温度	-65°C~150°C
ESD等级	1kV HBM

芯片外形尺寸

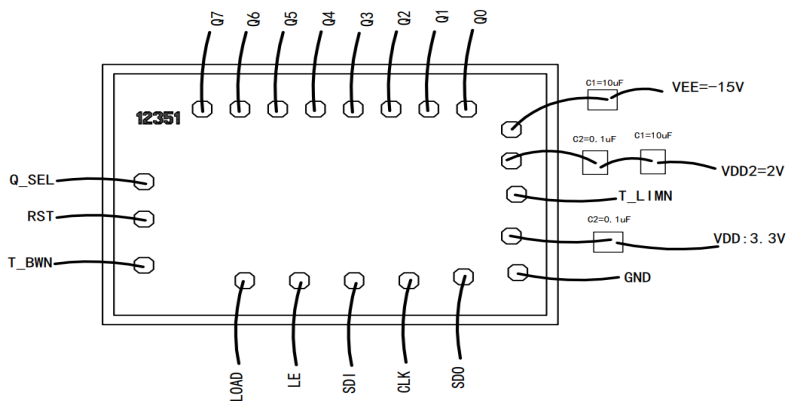


说明:

1. 单位: 毫米
2. 键合压点镀金, 压点尺寸: 0.075*0.075 (mm)
3. 芯片厚度: 0.180±0.015mm
4. 芯片焊盘编号顺序与焊盘定义图顺序一致
5. 芯片背部与VEE同电位

LOAD

芯片装配图



焊盘定义

PIN号	名称	描述
1	LOAD	上升沿加载SPI并行寄存器内的数据至输出驱动器，内部集成80kΩ下拉，3.3/1.8V TTL电平
2	LE	SPI串-并转换控制信号，低电平时串行移位寄存器有效，并行输出寄存器锁定；高电平时将数据加载至并行输出寄存器。内部集成80kΩ下拉，3.3/1.8V TTL电平
3	SDI	SPI串行数据输入，3.3/1.8V TTL电平。
4	CLK	SPI串行时钟输入，3.3/1.8V TTL电平。
5	SDO	SPI串行输出端口，输出范围0~VDD
6	GND	SPI接地端口
7	VDD	SPI电源输入端口，输入范围3~3.6V
8	T_LTMN	悬空
9	VDD2	输出驱动正电源端口
10	VEE	输出驱动负电源端口
11~18	Q0~Q7	8通道输出端口，输出范围VEE~VDD2
19	Q_SEL	高/低8位输出选择异步控制端口，内部集成80kΩ下拉，3.3/1.8V TTL电平
20	RST	寄存器重置端口，内部集成80kΩ下拉，3.3/1.8V TTL电平
21	T_BWN	SPI8/16位选择控制端口，内部集成80kΩ上拉，3.3/1.8V TTL电平
背部	VEE	芯片背部与VEE同电位