

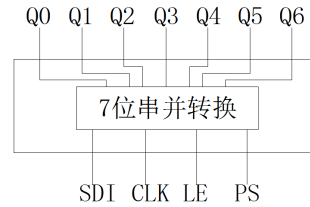
性能特点

- 适用电压低，转换速度快
- 芯片尺寸：1.426mm*0.566mm*0.18mm

典型应用

- 串/并转换

功能框图



概述

7位串并转换单芯片，并提供并口输出清零模式，当PS低电平时，7位并口输出电平全部置为低电平0V。

电性能表 (TA=+25°C, VDD=3.3V)

参数名称	描述	最小值	典型值	最大值	单位
VDD	直流偏置电压	3	3.3		V
I _{DD}	静态工作电流		0.4		mA
	输入高电平漏电流			1	uA
	输入低电平漏电流			1	uA
	输入高电平电压	VDD-0.3		VDD	V
	输入低电平电压	0		0.3	V
R _{load}	并口驱动负载阻抗	1.0			kOhm
t _{SCK}		70			ns
t _{ST}		15			ns
t _{HT}			20		ns
t _{LT}		15			ns
t _{LEPW}			10		ns
t _{LESU}			630		ns
t _{SHT}			0		ns

工作参数

偏置电压VDD	3.0V~3.3V
控制电压VCTL	0V~0.5V (Low) 2.8V~3.3V (High)
工作温度	-55°C~+125°C

控制端口: Q0~Q6、PS、LE、CLK、SDI

绝对最大额定值

偏置电压 VDD	-0.3V~3.6V
控制电压 VCTL	-0.5 V~VDD+0.3V
存储温度	-65°C~+150°C

控制模式选择

PS状态	控制模式
Low	Q0至Q6 “低” 输出
High	串转并开启

PS引脚必须保持在一种有效的逻辑状态下 (High或Low)，不得保持浮动状态

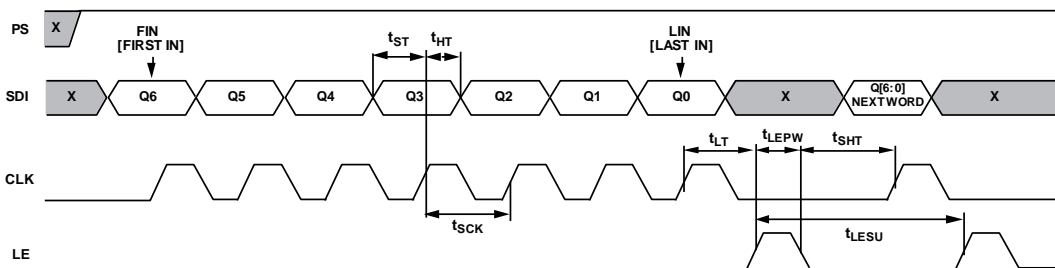
串转并控制输出

当PS引脚设置为高电平时，为“串转并”输出；当PS引脚设置为低电平时，Q0至Q6为“低”输出。

并行控制端口有七个数字控制输出 (Q6至Q0)，Q6在前 (SDI第一个输入数据)，Q0在后 (SDI第七个输入数据)。Q0至Q6输出负载大于1KΩ。

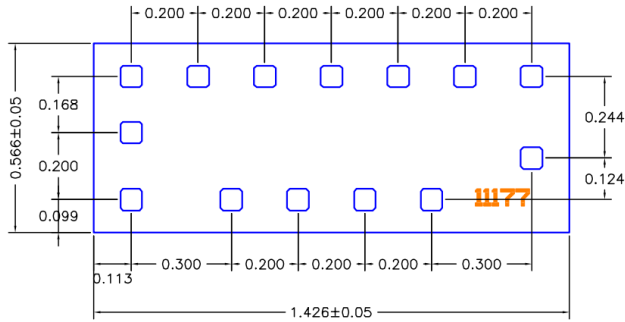
串转并模式中，七位串行数据先在CLK上升沿时输入到移位寄存器中，然后LE切换为高电平时将Q0-Q6输出锁定 (在将一组七位数据写入移位寄存器时，须将LE设置为低电平)。

在串转并模式中，串行控制输入 (LE、CLK、SDI) 必须始终保持在有效的逻辑水平 (High或Low)。如果驱动这些输入线路的设备在休眠期间出现高阻抗，建议在所有串行控制输入线路上使用下拉电阻，使用方式参见“串转并控制时序图”。



串转并控制时序图

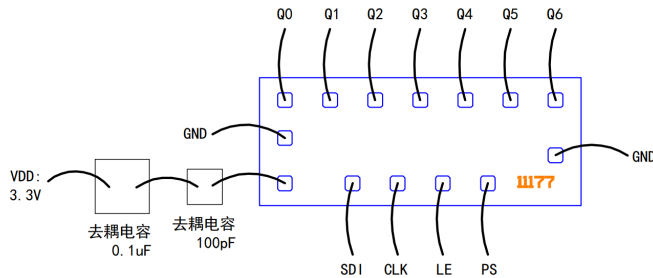
外形尺寸



说明:

1. 单位: mm
2. 键合压点尺寸: 0.065mm*0.065mm
3. 芯片厚度: 0.18mm±0.015mm

焊盘定义及芯片装配图



说明:

1. 芯片背面接地, 粘接材料: 导电胶
2. 芯片键合线材料: 1mil Au
3. 所有接地线长尽量短

序号	焊盘符号	功能描述	序号	焊盘符号	功能描述
1	GND	地	8	Q0	并口输出
2	Q6	并口输出	9	GND	地
3	Q5	并口输出	10	VDD	直流偏置
4	Q4	并口输出	11	SDI	串行数据输入
5	Q3	并口输出	12	CLK	时钟端
6	Q2	并口输出	13	LE	使能端
7	Q1	并口输出	14	PS	串转并控制

从芯片右下角第一个焊盘开始, 逆时针进行排序